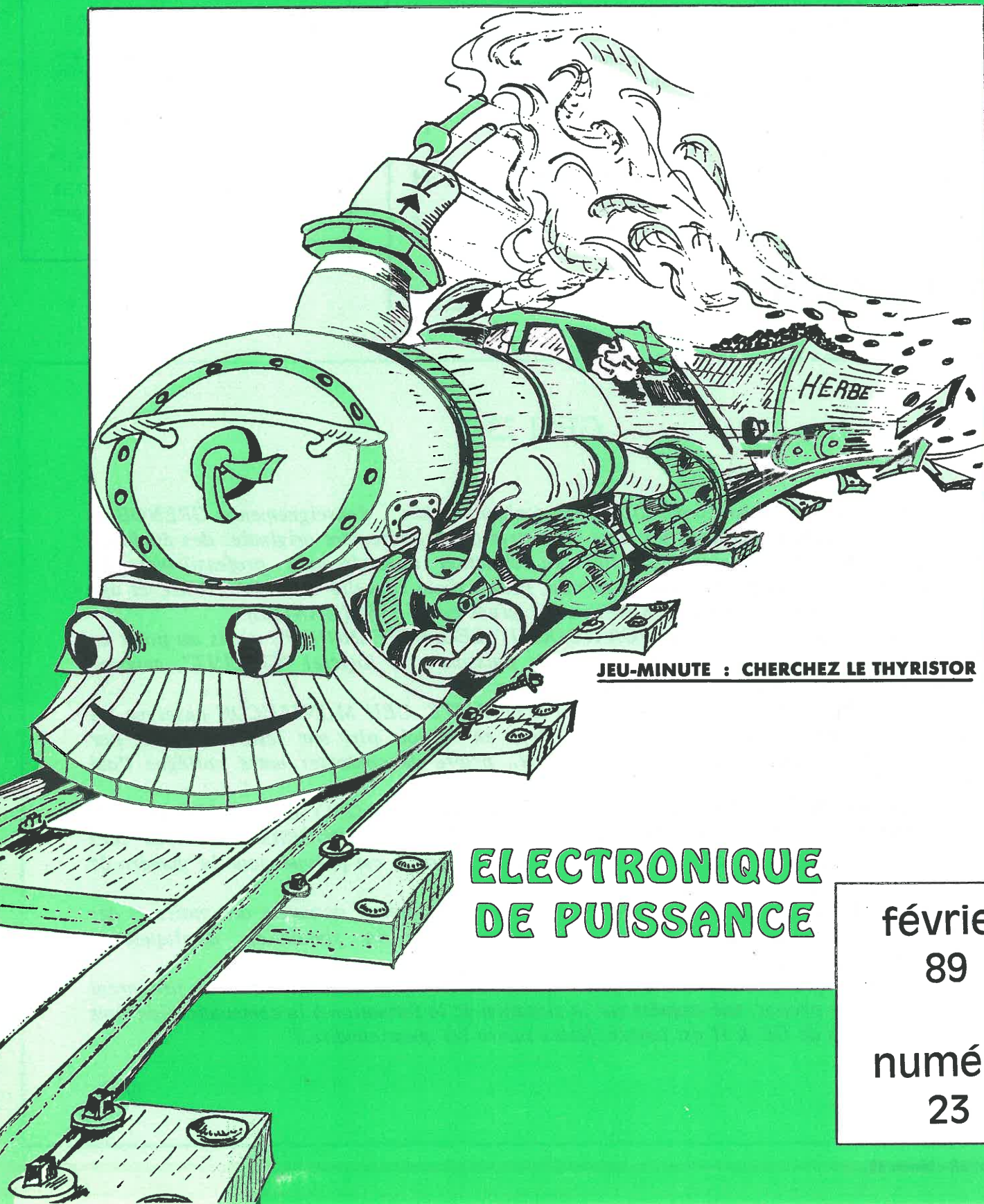


CESI

génie électrique service information



JEU-MINUTE : CHERCHEZ LE THYRISTOR

**ELECTRONIQUE
DE PUISSANCE**

février
89

numéro
23

GeSi



SOMMAIRE

- annonce des journées de Belfort 3
- carte CPU 68000 de chez Maatel et Tekmis 3
- introduction à la logique programmée (1^{ère} partie) .. 6
- conception assistée en électronique de puissance 11
- journées électrotechnique 89 (Grenoble) 14
- sensibilisation à la qualité 15

«GÉNIE ÉLECTRIQUE SERVICE INFORMATION». Bulletin d'information des départements de Génie Électrique et Informatique Industrielle des Instituts Universitaires de Technologie.

Directeur de la publication : J. Michoulier
Responsable du comité de rédaction : G. Gramacia

Membres : MM. Atechian, Bugnet, Bliot, Decker, Fondanèche, Michoulier, Pardies, Ricard, Sarfati, Savary, Simon.

Illustration : R. Bourié

Secrétariat de rédaction : D. Blin.

Comité de rédaction : Département de Génie Électrique - I.U.T. «A»

33405 Talence Cedex - Tél. 56.84.57.58.

Imprimerie : Imprim 33 - Z.I. Gradignan

GESI 23 ?

GESI 23 se fait l'écho d'innovations pédagogiques riches... d'enseignements: GRENOBLE développe une politique d'ouverture vers l'industrie particulièrement originale: des étudiants découvrent des technologies nouvelles en situation d'encadrement professionnel. Au programme de cette sensibilisation de terrain, l'étude d'une nouvelle carte RAM VME et une amélioration de la carte 68000 (TEKMIS), ainsi qu'une carte SASI (MAATEL).

Toujours à GRENOBLE, le LABORATOIRE D'ELECTROTECHNIQUE a mis au point un logiciel de CAO appliqué à l'électronique de puissance, le logiciel "CIRCUIT", annoncé comme particulièrement interactif. Affaire à suivre.

Dans le domaine de la sensibilisation à la QUALITE, GEII MONTLUÇON enseigne les principaux concepts à la faveur des T.R.. Pour en savoir plus sur cette initiative, par ailleurs conforme aux souhaits de notre C.P.N., prière de contacter notre collègue Paul BOURGOUGNON.

Alexis BERVAS (BREST) nous livre un T.P. "clés en mains " (2^{ème}A) en INFORMATIQUE INDUSTRIELLE: cette "INTRODUCTION A LA LOGIQUE PROGRAMMEE vous sera proposée en deux épisodes: la parution de la seconde partie est prévue pour le numéro 24 (mai).

Enfin retour à GRENOBLE, les 1,2 et 3 MARS 1989, pour l'actualité des outils et des réalisations dans les domaines de la CAO et de la simulation appliquée à l'ELECTROTECHNIQUE.

Quant aux journées de BELFORT sur la COMMUNICATION, elles se préparent activement. A ce propos, une enquête sur la situation de la formation à la communication dans les départements de GE & II est lancée: faites suivre les questionnaires!

G.G.

COLLOQUE PÉDAGOGIQUE ANNUEL DE G.E. & I.I.



8, 9, 10 juin 89 - Belfort

COMMUNICATION ET FORMATION HUMAINE

Commission 1 : Communication et vie professionnelle :

- Expression écrite et orale : méthodes et outils, implication des enseignants scientifiques,
- Économie et connaissance de l'entreprise.

(Animateur : M. Simon - Bordeaux - Tél. 56.84.57.58)

Commission 2 : Communication et culture(s) :

- Culture générale et culture scientifique et technique,
- Philosophie et histoire des sciences.

(Animateur : M. Gremillard - Grenoble II - Tél. 76.82.53.00)

Commission 3 : Communication et Langues :

- Langues de spécialité et/ou culture,
- Stages et emplois à l'étranger,
- Possibilité d'une deuxième langue ?
- Ressources pédagogiques.

(Animateur : M. Charlot - Cergy-Pontoise - Tél. 30.30.33.58)

Envoyez dès à présent vos contributions : aux animateurs des commissions et/ou à GeSi - I.U.T. "A" - 33405 Talence Cedex.

UNE CARTE CPU 68000 LOW-COST DE CHEZ MAATEL UN SYSTÈME 68020 OS9 DE CHEZ TEKMI

PAR P.A. DEGRYSE (Grenoble 1)

Depuis de nombreuses années le département 1 GEII de Grenoble a développé une politique d'ouverture vers l'industrie au travers des travaux de réalisation de 2^e année.

En effet des techniciens et des ingénieurs, pour la plupart d'anciens "GE", encadrent les étudiants au sein même du département ou dans leurs propres locaux. Cela provoque de fructueux échanges d'idées avec les enseignants et il est ainsi possible de mieux connaître la réalité industrielle.

En informatique industrielle plusieurs sociétés jouent parfaitement le jeu : MAATEL avec Josserand, et Tekmis (ancien Thomson-Microsystèmes) avec Roussel, Hewlett Packard, Merlin Gerin, Le Centre d'Étude Nucléaire, l'Institut Laue Langevin etc...

Par exemple cette année nos étudiants étudient une nouvelle carte RAM VME et une amélioration de la carte 68000 chez Tekmis, ainsi qu'une carte SASI chez Maatel.

Les enseignants du département ont décidé d'enseigner un micro 16/32 à tous les étudiants à la rentrée de septembre 88. Jusqu'à présent seuls les "automaticiens" travaillaient en projet sur des KIT 68008 et une machine VME 910 sous OS9 de Thomson, les autres séries utilisant le 6809.

Le choix s'est donc porté naturellement vers le 68008 et sa famille.

Ces Kits 68008 nous ont donc permis de préparer notre enseignement 68000 mais leurs performances sont trop limitées.

L'assembleur désassembleur Vbug résidant sur ces KITS permet une mise au point aisée ainsi qu'une connexion sur un central. On dispose de deux liaisons séries, l'une pour la console, l'autre pour le central.

Le moniteur permet de faire la mise au point en "local" sans gêner le fonctionnement du central. Avec la même console on peut passer sur le central pour éditer, assembler et transférer sur le kit les fichiers objets. On est alors en mode transparent.

On dispose en outre sur ces kits d'un connecteur d'extension comportant les signaux d'adresse, de données et de contrôle du micro.

Cela nous a permis de réaliser en projet des cartes RAM/ROM, CNA/CAN, interfaces séries, parallèles, etc.

Le bus d'extension n'est cependant pas compatible avec un bus au standard industriel.

Les capacités mémoire disponibles sont insuffisantes pour l'utilisation de langages évolués de type C ou Pascal.

Les enseignants ont ainsi dû définir ce que serait une carte 68000 adaptée

aux besoins de l'enseignement suite à leur expérience sur le kit 68008.

Nous sommes donc arrivés à la conclusion que la carte d'étude idéale aurait les caractéristiques suivantes :

- un cpu 68000 ou 68010
- une RAM statique de grande capacité
- une ROM avec un moniteur de mise au point performant
- deux interfaces séries (une pour la console, l'autre pour un central)
- les signaux du micro facilement accessibles
- un bus industriel standard afin d'utiliser les cartes existantes
- la possibilité de supporter un exécutif temps réel (OS9)
- suffisamment de mémoire pour supporter les résultats des compilateurs C ou Pascal
- un faible coût.

Nous avons affiné ce cahier des charges avec J.P. Plazy, un ancien GE ingénieur chez Maatel.

La société Maatel a donc accepté de prendre en charge la réalisation de cette carte.

Le bus G96 a été choisi pour la carte d'application en raison de son moindre coût et sa facilité de mise en œuvre par rapport au VME.

Le système central est construit autour du bus VME. Il s'agit d'une des dernières machines 68020 VME de Tekmis supportant OS9. La configuration choisie permet de travailler à douze postes.

SPÉCIFICATION DE LA CARTE CPU MUC 68 K DE MAATEL

La carte MUC 68 K est une carte unité centrale simple Europe compatible BUS G96. Elle apporte la puissance de traitement d'un microprocesseur 68000 aux systèmes industriels construits à partir de la panoplie de cartes G64/G96, tout en offrant un rapport prix/performance très attractif.

Grâce à son bus d'extension latéral, cette carte permet la réalisation très rapide de prototypes de type monocarte au format libre, comportant des extensions d'entrée sortie et/ou de mémoire.

Elle dispose d'un moniteur d'aide à la mise au point performant qui lui permet l'implantation très facile de programmes développés sur un système extérieur.

Cette carte peut piloter toutes les cartes G64/G96.

SPÉCIFICATIONS

- Processeur :
68000/68010 8, 10, ou 12, 5Mhz
- EPROM :
2 supports JEDEC, 32 broches 0 wait state
capacité : en standard 64Ko (27256) 128Ko (27512)
- RAM :
2 supports JEDEC, 32 broches 0 wait state
capacité : 64K min avec boîtiers 32 K X 8
- E/S :
Série DUART 68681 avec module d'interface optionnel comportant deux connecteurs SUB D 9 broches (standard IBM) interface standard 2 lignes RS 232 C jusqu'à 38 K bits
- TIMER :
Utilisation du timer intégré du 68681 avec système de gestion d'IT pour horloge temps réel watch dog
- CALENDRIER :
Sauvegardé batterie optionnel
- GESTION INTERRUPTION :
2 niveaux internes NMI (Abort) niveau 7 IT TIMER (horloge temps réel) niveau 6

5 niveaux externes venant soit du bus 96, soit du connecteur d'extension traitement vectorisé ou autovectorisé

- BUS G96 :
(A0, A22), (D0, D15) asynchrones VMA conforme spécification G96
(A0, A9), (D0, D7) synchrones VPA permettant l'utilisation de cartes G64
- Génération du signal SYCLOCK (horloge CPU) (16, 20 ou 25Mhz)
- Arbitrage type un seul niveau avec "daisy-chain" permettant des accès DMA sur le bus ou système multiprocesseur simple
- Bus d'extension latéral : il comporte tous les signaux du 68000 non amplifiés. (A1, A19), (D0, D15) accès synchrones ou asynchrone avec un signal de prédecodage : 1Mo d'adressage
- Connecteur DIN 41612, 64 broches femelles
- OPTIONS :
- Modules interface lignes série RS 422, RS 485
- Carte à wrapper se connectant sur le bus latéral qui avec la carte MUC 68K forme une carte double Europe.

INSTITUTION DU SYSTÈME CENTRAL

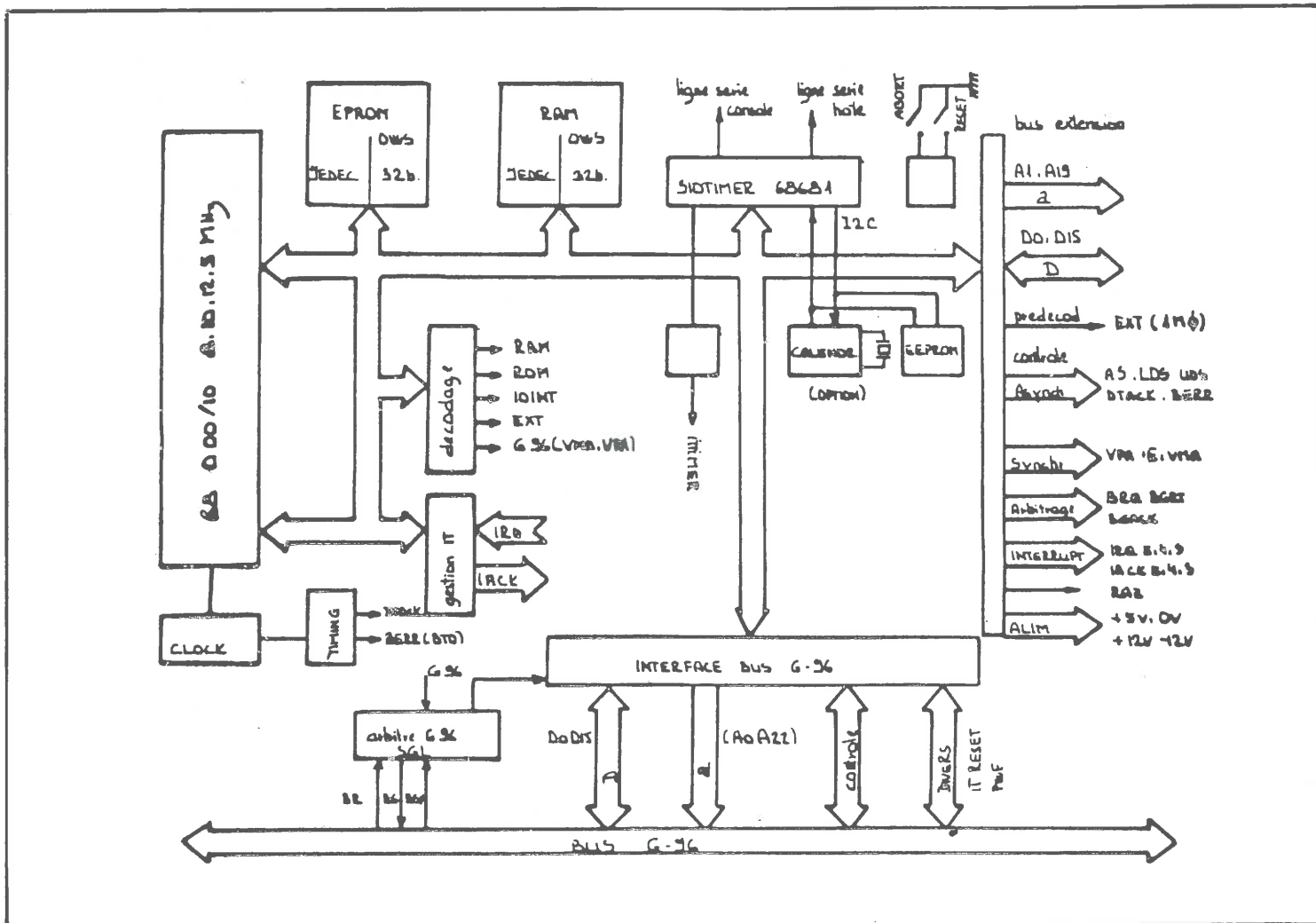
Ce système est une machine VME 68020 de Tekmis travaillant sous OS9 68K.

La configuration choisie permet de disposer de 12 postes. Il comprend une carte cpu 68020 avec 1 mega de RAM et 4 liaisons séries rs232, une carte 8 liaisons séries intelligente pilotée par un 68010, une carte 4 liaisons séries pour deux imprimantes en spooling et un programmeur de REPR0M, un disque dur de 60 mega et un streamer de 50 mega pour la sauvegarde.

Avec ce système on peut aborder les notions de macro-instruction, d'assemblage conditionnel, d'édition de liens, de compilateur (C ou Pascal), de système multitâches temps réel, etc.

Ce système est développé dans le laboratoire de Patrick Roussel (Tekmis), chez qui nous envoyons en projet et en stage chaque année nos étudiants. Ils sont parfaitement bien encadrés par les ingénieurs qui les forment aux techniques employées sur les cartes VME de haut de gamme.

SYNOPTIQUE CARTE MUC 68K



COMMENT ALLONS-NOUS UTILISER CES SYSTÈMES EN INFORMATIQUE INDUSTRIELLE ?

• Dans un premier temps les étudiants vont découvrir le micro 68000 en local avec le moniteur de mise au point. Ils auront à leur disposition la liste de commandes suivantes :

- visualisation, modification des registres du 68000
- visualisation, modification, test par octet ou par bloc de la mémoire
- assemblage, désassemblage ligne à ligne de codes
- affichage, définition, suppression de point d'arrêt
- affichage, définition, suppression de symboles
- exécution en mode direct ou en mode tracé des codes
- utilisation des routines systèmes

• Dans un second temps les étudiants réaliseront tous une carte d'extension en wrapping. Cette carte comportera une RAM statique dont il calculeront les temps d'accès, un interface parallèle de type 68230 pour la gestion d'une imprimante centronics en interruption.

La réalisation de cette carte est un temps fort de la formation, car lors de cette étude l'accent est mis sur le lien entre le Hard et le soft.

Cette carte sera installée sur le connecteur 64 points du bus interne.

- Dans un troisième temps les étudiants utiliseront le mode transparent pour éditer, assembler, compiler leurs fichiers sur le central.
- Enfin dans un quatrième temps les étudiants installeront leur carte dans un système de cartes au bus G64 ou G96. On abordera alors les notions de gestion et d'utilisation d'un bus industriel.

COMMENT ALLONS-NOUS UTILISER CETTE CARTE EN SYSTÈMES ÉCHANTILLONNÉS ?

Actuellement le cours de systèmes échantillonnés est accompagné de travaux pratiques qui utilisent le 6809.

Nous utilisons pour cela d'anciens Kits 6802 D5 transformés en 6809, auxquels nous avons ajouté sur un bus "GE1" des cartes d'interface.

Deux types de cartes sont utilisés : l'une comportant un couple CAN/CNA 8 bits, l'autres du CNA 10 bits et l'interface de gestion d'un codeur incrémental. Ces cartes ont été réalisées par le département 1 GEII.

Les thèmes de TP sont les suivants :

- filtrage numérique limité à des exemples du premier ordre
- régulation de vitesse d'un moteur à courant continu
- régulation de position d'un moteur à courant continu

Cette année un groupe d'étudiants a réalisé la transposition de ces deux cartes sur les kits 68008.

Pour la rentrée il suffit de faire une adaptation de ce projet à la nouvelle carte de chez Maatel.

Nous espérons ajouter un thème supplémentaire qui serait la régulation de température.

CONCLUSION

Une carte CPU faible coût, associée à un système central de hautes performances nous semble être une solution très souple.

La saturation du central par un nombre élevé d'utilisateurs est évitée en rendant chaque poste pratiquement autonome.

Les ressources coûteuses comme les disques durs, les imprimantes sont partagées entre tous les utilisateurs.

On ne se prive pas des ressources d'un système d'exploitation multitâche temps réel tel que OS9 68K sur le central.

Chaque poste est suffisamment puissant pour supporter lui aussi un exécutif temps réel en local.

Chaque poste est évolutif pour s'adapter aux besoins de chacun.

Pour d'éventuels renseignements complémentaires il est possible de contacter :

Jean-Marc PLAZY

Société Maatel

12, rue Ampère

38000 GRENOBLE

Tél. : 76.21.42.91

Pierre-Armand DEGRYSE

Département 1 GEII I.U.T. Grenoble

B.P. 67

38402 SAINT MARTIN D'HERES CEDEX

Tél. : 76.82.53.55

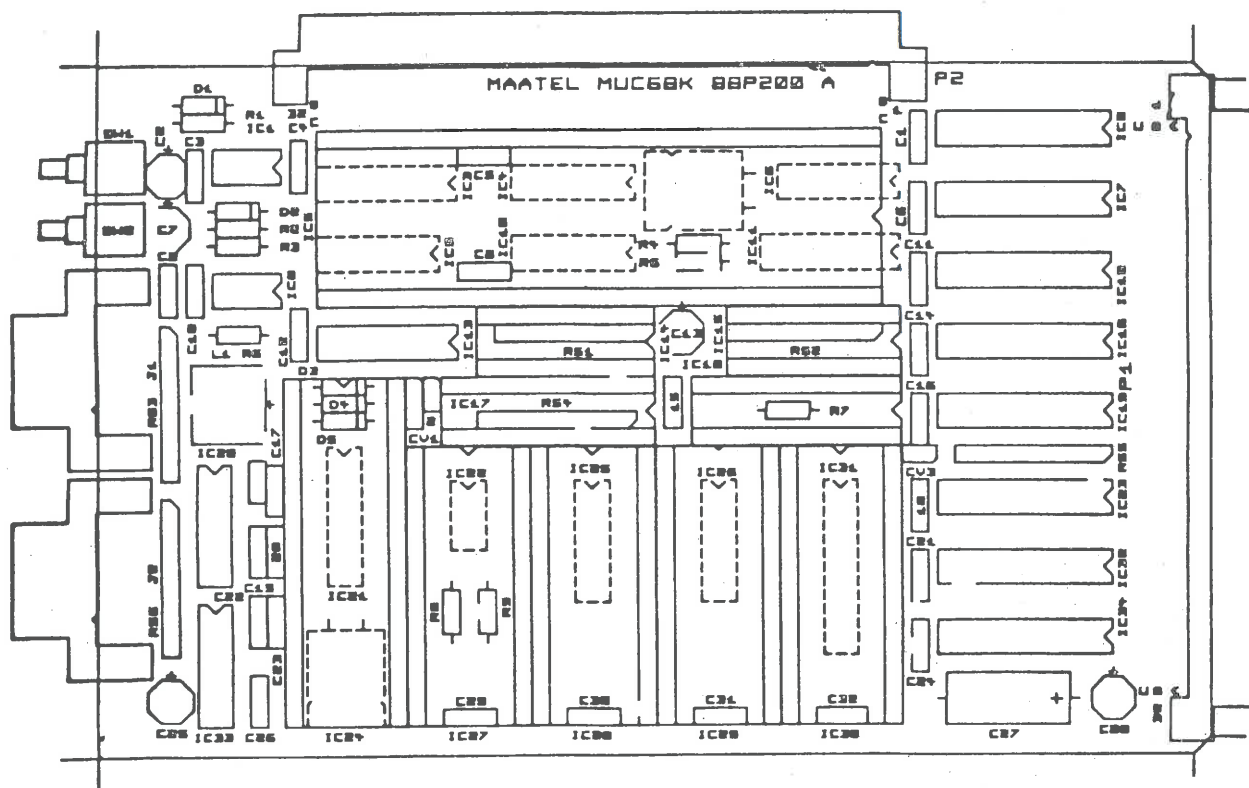


Schéma d'implantation de la carte MUC 68 K

NDLR : l'article de notre collègue P.A. Degryse est daté du 23 mars 1988. Depuis, les caractéristiques du système OS9 ont changé. Le système d'exploitation tourne sur un matériel équipé d'un disque dur de 80 Mo et d'un streamer de 60 Mo.

P.A. Degryse ajoute :

"La prom OS9 pour la carte Maatel est en cours de réalisation. Elle permet d'avoir un Shell actif à la mise sous tension et de télécharger tous les modules de type OS9 à partir du central (y compris le debugger pour la mise au point en local de driver OS9).

De plus, nous avons développé une carte CNA-CAN 12 bits associée à un HCTL 2000 de HP pour la gestion d'un codeur incrémental".

P.A. D.
Grenoble, décembre 1988

Introduction à la logique programmée

A. Bervas Maître de Conférence - I.U.T. de Brest

Ce T.P. est proposé en début de 2^e année G.E.I.I., avant d'aborder l'étude des microprocesseurs 8 bits.

Un processeur 4 bits est réalisé, à partir de composants M.S.S.I. ; il est utilisé, associé à une mémoire, pour exécuter quelques programmes simples et étudier différents modes d'adressage.

1^{ère} PARTIE : ÉTUDE THÉORIQUE

I. UNITÉ ARITHMÉTIQUE ET LOGIQUE :

L'U.A.L., contenue dans le boîtier 74181, est représentée schématiquement figure 1. C'est un circuit combinatoire qui effectue des opérations sur des mots de 4 bits, A et B, appliqués aux entrées de mêmes noms. Les résultats sont disponibles en F.

Deux sorties $C_n + 4$ et $A = B$, donnent des indications sur la valeur du résultat et la valeur relative des opérandes A et B. Les possibilités de l'U.A.L. sont présentées dans le tableau 2.

Pour simplifier le câblage, ainsi que l'exposé théorique, ne seront retenues, parmi les 48 opérations possibles, que les quatre correspondant à la zone ombragée du tableau 2. Ceci est facilement obtenu en faisant :

$S_3 = S_2 S_1 = C_n$; $S_0 = S_2 S_1$ et $M = S_2 S_1$.

Ainsi est réalisée une U.A.L. "simplifiée", possédant 2 entrées de sélection de fonction S1, S2, capable d'effectuer les opérations regroupées dans le tableau 3.

Disposer d'une U.A.L. à 2 entrées de sélection, va nous permettre d'utiliser un mot de 4 bits M1 M0 S2 S1, le code opération, dans lequel les bits S2 et S1 détermineront l'opération U.A.L. et les bits M1 M0 donneront accès aux opérandes de différentes façons (on parlera de modes d'adressage différents).

A partir de cette U.A.L., nous bâtissons un processeur 4 bits élémentaire, sur lequel nous présenterons certaines notions très utiles pour l'étude des microprocesseurs 8 bits.

II. MONTAGE

Le montage, représenté figure 4, peut être décomposé en deux parties :

II.1 L'UNITÉ DE TRAITEMENT (ou processeur) chargée d'effectuer les opérations : elle comprend : Un générateur, délivrant un signal d'horloge E, que nous utiliserons, dans la partie pratique, en mono-coup ou de façon périodique.

Un compteur 8 bits, que nous appellerons dès maintenant compteur ordinal ou compteur programme, PC en abrégé, réalisé par deux boîtiers 74163 : compteur synchrone à chargement synchrone).

Un registre 4 bits, le registre instruction, dans lequel seront stockés les codes opérations M1 M0 S2 S1 ; ses sorties sont reliées aux entrées S2 S1 de l'U.A.L. d'une part, aux entrées du séquenceur d'autre part (le registre utilisé est un 7475 constitué des 4 bistables D latches).

Deux registres de 4 bits, registre H et registre L, dont la concaténation forme le registre adresse (2 boîtiers 7475).

Un multiplexeur, à base de circuits 3 états commandés par le signal AIG, permet d'adresser la mémoire, soit par les sorties du compteur ordinal, soit par les sorties du registre adresses.

L'U.A.L. "simplifiée" dont il a été question plus haut.

Le registre code conditions, dans lequel l'état des sorties $C_n + 4$ et $A = B$ peut être mémorisé (signal CC) ; les sorties de ce registre seront notées respectivement Cy et Z.

L'accumulateur est un registre formé de 4 bistables D, à commande sur front, placé en sortie de l'U.A.L. et chargé de mémoriser les résultats présents en F, lorsque l'ordre lui en est donné (front AC 1). Ses sorties sont reliées aux entrées A de l'U.A.L., ce qui implique qu'une opération entre A et B se fera entre l'opérande présent en B, et le contenu de l'accumulateur, qui est le résultat de l'opération précédente (le registre utilisé est un 74175).

Le contenu de l'accumulateur pourra être recopié en mémoire grâce aux portes 3 états commandées par le signal T.

Le séquenceur, non représenté sur la figure, mais néanmoins essentiel, délivre les signaux de commande (AC, CO...).



Ordino

II.2 LA MÉMOIRE

On y range les codes opérations et les opérandes, ou leurs adresses, qui seront ensuite dirigés respectivement vers le registre instruction, les entrées B de l'U.A.L. ou le registre adresses, à des instants fixés par le séquenceur ; seront aussi rangés dans cette mémoire, des résultats.

La mémoire utilisée est une 2114 de capacité 1K x 4 bits, à entrées-sorties multiplexées.

II.3 LES BUS

Ces deux parties communiquent par l'intermédiaire des 8 lignes d'adresses de la mémoire, qui forment le bus adresses et des 4 lignes d'entrées-sorties de cette mémoire qui forment le bus données (Les 2 entrées adresses les plus significatives de la mémoire sont forcées à "0").

III. NOTION D'ADRESSAGE IMMÉDIAT

(Dans la suite de l'exposé, l'écriture hexadécimale sera parfois utilisée, dans un but de simplification).

III.1 ÉCRIRE LA DONNÉE $\alpha = 5$ DANS L'ACCUMULATEUR.

La procédure est la suivante :

Le code opération M1 M0 S2 S1 = 0001 est

écrit en mémoire à l'adresse N (S2 S1 3 01 sélectionne l'opération U.A.L. $F = B$, comme l'indique le tableau 3, M1 M0 est fixé à 00 pour l'instant).

La donnée, $\alpha = 5$, est écrite en mémoire à l'adresse immédiatement suivante $N + 1$.

La lecture de la mémoire à partir de l'adresse N, doit entraîner le chargement de l'accumulateur par $\alpha = 5$. Ceci se déroulera de la façon suivante (figure 4) :

1^{er} cycle de E : $N + 1$ est sur le bus adresses, le contenu de cette adresse, α , est sur le bus données et donc sur les entrées B de l'U.A.L. L'opération précisée par le code stocké dans le registre instruction est effectuée ($F = B$). On retrouve donc α en sortie F de l'U.A.L. Ce résultat est mémorisé dans l'accumulateur au front montant de AC1. Conclusion : Le processeur a exécuté en deux cycles d'horloge (= 2 cycles machine), l'instruction "chargement de l'accumulateur par la donnée $\alpha = 5$ ". On pourra résumer cette instruction, en utilisant un langage mnémotique : LDA # 5 (Load Accumulator With 5).

L'opération U.A.L. correspondante est $F = B$. Pour que cette instruction se déroule comme prévu, il faut que le séquenceur, lorsqu'il reçoit sur ses entrées le code 0001, délivre les signaux représentés figure 5.a.

III.2 AJOUTER $\beta = 3$ AU RÉSULTAT PRÉCÉDENT, et stocker le résultat dans l'accumulateur.

Il suffit d'écrire en mémoire, à l'adresse $N + 2$, le code opération de l'addition, M1 M0 S2 S1 = 0000 (S2 S1 = 00 sélectionne l'opération U.A.L. $F = A + B$), à l'adresse $N + 3$ l'opérande $\beta = 3$.

La lecture de la mémoire, à partir de l'adresse $N + 2$, entraînera, suivant le même séquençement que ci-dessus.

Au 1^{er} cycle de E, la mise en place du code opération dans le registre instruction (impulsion CO), au cycle suivant la mise en place sur les entrées B de l'U.A.L. de l'opérande β . L'opération $F = A + B$ est alors effectuée (A = contenu de l'accumulateur = α : résultat précédent, B = β).

Le résultat est stocké dans l'accumulateur (AC1).

Conclusion : Le processeur a exécuté, en 2 cycles machine, l'instruction "addition du contenu de l'accumulateur et de la donnée $\beta = 3$, stockage du résultat dans l'accumulateur".

Ceci peut se résumer par l'écriture mnémotique ADDA # 3 (Add Content of accumulator and 3).

III.3 CONCLUSION

Toutes les instructions de ce type, dans lesquelles l'opérande est écrit en mémoire immédiatement après le code opération, se déroulent suivant le même séquençement. On parle d'instructions à adressage immédiat : lorsque le code opération est sur le bus données, on a immédiatement l'opérande sur ce bus, en incrémentant le compteur ordinal.

III.4 OPÉRATION - INSTRUCTION - PROGRAMME

A chaque opération effectuée par l'U.A.L., correspond, pour l'instant, une instruction exécutée par le processeur. A chaque instruction, on peut affecter un code mnémotique et un code binaire (le code opération).

Dans l'exemple précédent, la lecture de la mémoire, de l'adresse N à l'adresse N + 3 incluse, a entraîné l'exécution des deux instructions LDA #5, ADDA #3. Ces deux instructions forment un petit programme d'addition.

Remarques :

* Le # indique que l'instruction porte sur la donnée écrite dans la 2^e partie de l'instruction.

* A l'opération U.A.L. $F = A - B$, on pourra faire correspondre l'instruction SUBA # donnée.

* L'opération U.A.L. $F = 2A$, qui ne concerne que l'accumulateur, sera étudiée plus loin.

IV - NOTION D'ADRESSAGE ÉTENDU

IV.1 EXEMPLE

Entrer dans l'accumulateur la donnée présente en mémoire à l'adresse quelconque Adr.

L'opération effectuée par l'U.A.L. sera encore $F = B$. Il faudra envoyer sur les entrées B de l'U.A.L. l'opérande (qui se trouve à l'adresse Adr). Pour différencier cette nouvelle instruction de chargement, de l'instruction correspondante en adressage immédiat, les bits M1 M0 seront mis à 11. Le code opération sera donc M1 M0 S2 S1 = 1101 (S2 S1 = 01 sélectionnant l'opération U.A.L. $F = B$).

La procédure est la suivante :

- Le code opération est écrit en mémoire à l'adresse M.

- Le quartet de poids fort de l'adresse Adr (Adr H) est écrit à l'adresse M + 1.

- Le quartet de poids faible de l'adresse Adr (Adr L) est écrit à l'adresse M + 2.

La lecture de la mémoire à partir de l'adresse M entraîne :

- 1^{er} cycle de E : l'adresse M est sur le bus adresses, son contenu (code opération) est sur le bus données puis stocké dans le registre instruction (impulsion CO).

- 2^e cycle de E : l'adresse M + 1 est sur le bus adresses, son contenu (Adr H) est sur le bus données puis stocké dans le registre H (impulsion AH).

- 3^e cycle de E : l'adresse M + 2 est sur le bus adresses, son contenu (Adr L) est sur le bus données puis stocké dans le registre L (impulsion AL). A partir de cet instant, Adr est disponible dans le registre adresses.

- 4^e cycle de E : le comptable est inhibé ($E_n = 0$), Adr est déposée sur le bus adresse AIG = 0, le contenu de Adr, qui est la donnée à traiter, est sur le bus données et donc sur les entrées B de l'U.A.L. L'opération, correspondant au code stocké dans le registre instruction, est effectuée ($F = B$) ; le résultat, disponible en F est alors enregistré dans l'accumulateur (front ACT). Le séquenceur, lorsqu'il recevra sur ses entrées le code opération 1101, devra donc fournir les signaux représentés figure 5.b.

IV.2 CONCLUSION

L'instruction exécutée par le processeur est : "chargement de l'accumulateur par la donnée présente en mémoire à l'adresse Adr".

On pourra la résumer par : LDA > Adr (Load accumulator with content of Adr). Le > indique que Adr n'est pas l'opérande, mais l'adresse de l'opérande.

Cette instruction, exécutée en quatre cycles

machines, est codée en binaire à l'aide de 3 quartets (code opération, Adr H, Adr L). Le même séquençement peut être envisagé pour les opérations U.A.L. $F = A + B$ et $F = A - B$, qui donneront naissance aux instructions ADDA > Adr et SUBA > Adr.

Ces instructions sont dites à adressage étendu.

V. NOTION D'ADRESSAGE DIRECT

Lorsque l'adresse de l'opérande est comprise entre 00 et 0F, les instructions précédentes peuvent être exécutées en 3 cycles et s'écrire sur deux quartets. Considérons par exemple l'instruction de chargement de l'accumulateur, pour la différencier des précédentes instructions de chargement, le code opération sera M1 M0 S2 S1 = 0101 (S2 S1 = 01 sélectionnant toujours l'opération $F = B$).

Le code opération est écrit en mémoire à l'adresse P, le poids faible de l'adresse de l'opérande (Adr L) à l'adresse P + 1.

La lecture de la mémoire à partir de l'adresse P entraîne :

- 1^{er} cycle de E : Chargement du code opération dans le registre instruction.

- 2^e cycle de E : Chargement de Adr L dans le registre L et mise à zéro du registre H (impulsions AL et CL).

- 3^e cycle de E : identique au 4^e cycle des instructions précédentes.

Cette instruction sera écrite en mnémotique : LDA < Adr. Le séquenceur, lorsqu'il recevra sur

ses entrées le code opération 0101, devra fournir les signaux représentés figure 5.c.

Les opérations U.A.L. $F = A + B$ et $F = A - B$ donnent naissance à deux nouvelles instructions, ADDA < Adr, SUBA < Adr, dont le séquençement est identique à celui de l'instruction LDA < Adr.

Ces instructions sont dites à adressage direct.

VI. ADRESSAGE INHÉRENT OU IMPLICITE

Une opération U.A.L. n'a pas été envisagée pour l'instant : $F = A + A$. Elle agit uniquement sur A, c'est-à-dire dans notre montage sur le contenu de l'accumulateur ; il n'est donc plus question d'adresser la mémoire, pour aller chercher l'opérande.

On peut faire correspondre à cette opération, une instruction, qui s'écrira en binaire sur un seul quartet, le code opération M1 M0 S2 S1 = 00 10 (S2 S1 = 10 sélectionnant l'opération $F = SA$).

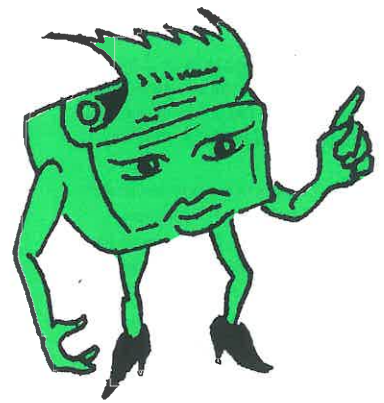
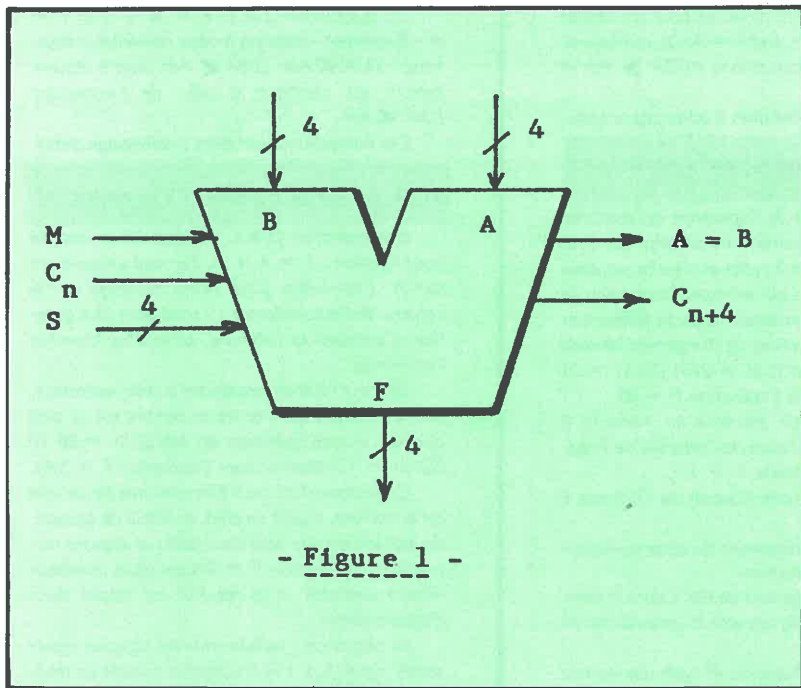
Cette instruction peut être exécutée en un seul cycle machine. Il suffit en effet, en début de ce cycle, de stocker le code opération dans le registre instruction ; l'opération $F = 2A$ est alors immédiatement exécutée et le résultat est stocké dans l'accumulateur.

Le séquenceur doit fournir les signaux représentés figure 5.d. L'instruction sera notée en mnémotique : LSLA (Logical Shift Left Accumulator) ; en effet, l'opération $A + A$ revient à décaler tous les bits de A d'une position vers la gauche.

S2 S1		00	01	11	10
M1	M0				
00		ADDA # (A + B)	LDA # (B)	SUBA # (A - B)	LSLA (A + A)
01		ADDA < (A + B)	LDA < (B)	SUBA < (A - B)	
11		ADDA > (A + B)	LDA > (B)	SUBA > (A - B)	
10					

Des codes opérations sont encore disponibles. Ils seront affectés à de nouvelles instructions, dans lesquelles l'opération U.A.L. n'est pas utilisée : instructions de stockage et de saut.

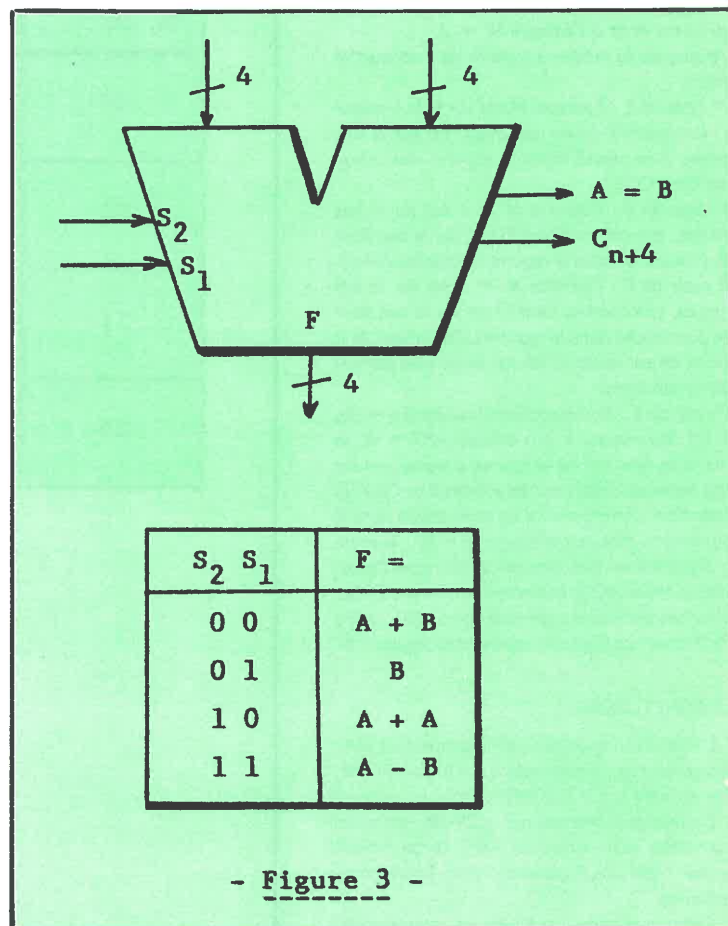
suite au prochain numéro

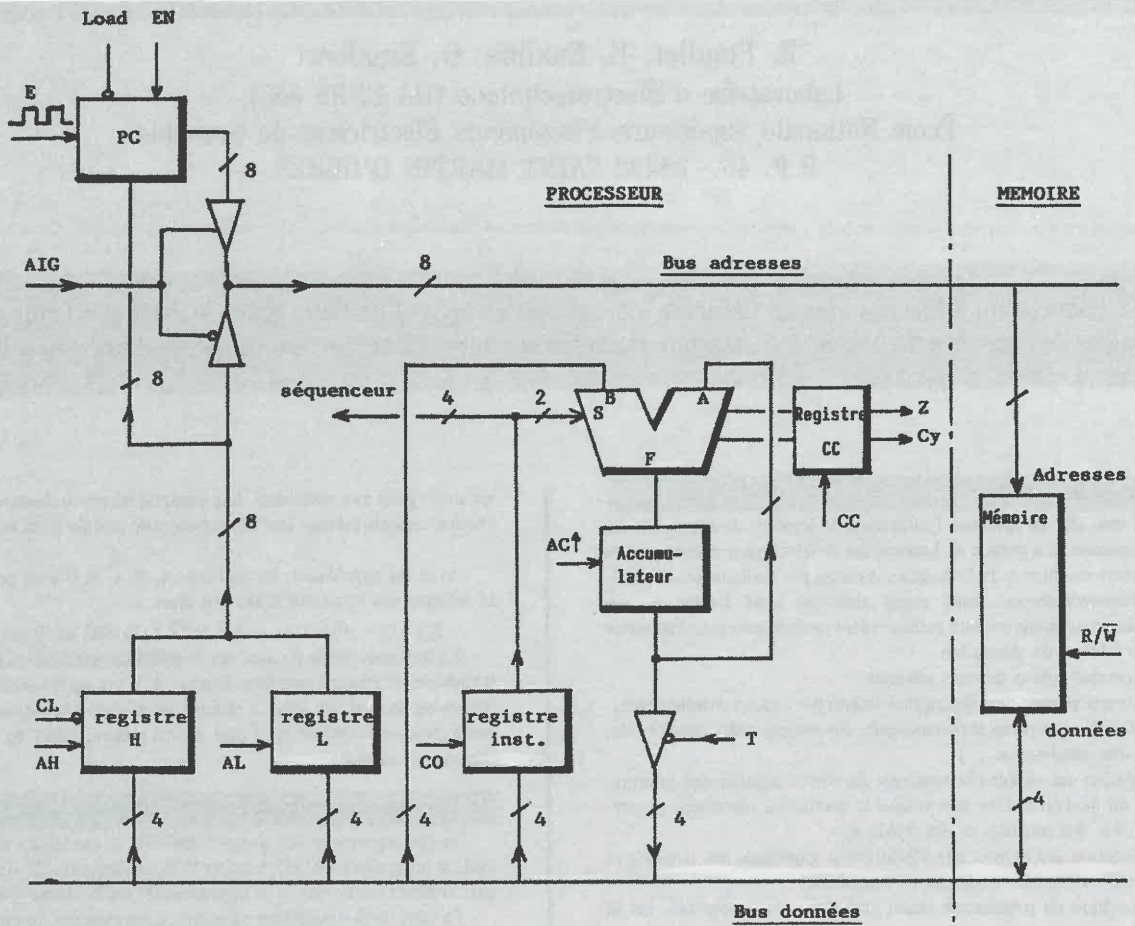


Imprima

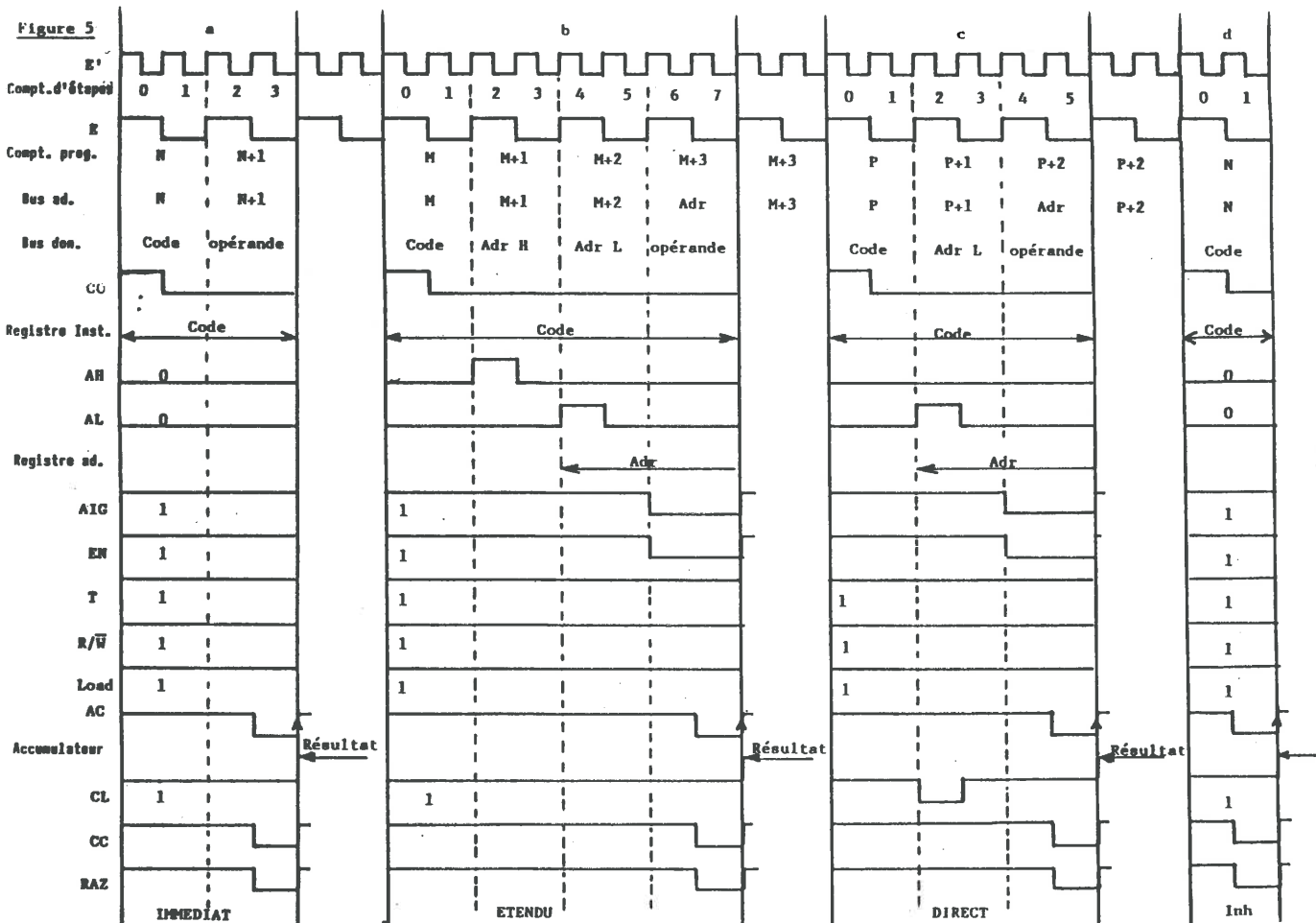
Sélection	M = 0		
	M = 1	$\bar{C}_n = 1$	$\bar{C}_n = 0$
$s_3 s_2 s_1 s_0$			
0 0 0 0	$F = \bar{A}$	$F = A$	$F = A + 1$
0 0 0 1	$F = \bar{A} \vee B$	$F = A \vee B$	$F = (A \vee B) + 1$
0 0 1 0	$F = \bar{A} \cdot B$	$F = A \vee \bar{B}$	$F = (A \vee \bar{B}) + 1$
0 0 1 1	$F = 0$	$F = -1$	$F = \text{Zéro}$
0 1 0 0	$F = \bar{A} \cdot B$	$F = A + A \cdot \bar{B}$	$F = A + A \cdot \bar{B} + 1$
0 1 0 1	$F = \bar{B}$	$F = (A \vee B) + \bar{A}B$	$F = (A \vee B) + \bar{A}B + 1$
0 1 1 0	$F = A \oplus B$	$F = A - B - 1$	$F = A - B$
0 1 1 1	$F = A \cdot \bar{B}$	$F = \bar{A}B - 1$	$F = A \cdot \bar{B}$
1 0 0 0	$F = \bar{A} \vee B$	$F = A + \bar{A}B$	$F = A + \bar{A}B + 1$
1 0 0 1	$F = \bar{A} \oplus B$	$F = A + B$	$F = A + B + 1$
1 0 1 0	$F = B$	$F = (A \vee \bar{B}) + \bar{A}B$	$F = (A \vee \bar{B}) + \bar{A}B + 1$
1 0 1 1	$F = A \cdot B$	$F = \bar{A}B - 1$	$F = A \cdot B$
1 1 0 0	$F = 1$	$F = A + A$	$F = A + A + 1$
1 1 0 1	$F = A \vee \bar{B}$	$F = (A \vee B) + A$	$F = (A \vee B) + A + 1$
1 1 1 0	$F = A \vee B$	$F = (A \vee \bar{B}) + A$	$F = (A \vee \bar{B}) + A + 1$
1 1 1 1	$F = A$	$F = A - 1$	$F = A$

- Figure 2 -





- Figure 4 -



CONCEPTION ASSISTÉE EN ÉLECTRONIQUE DE PUISSANCE¹

R. Feuillet, E. Euxibie, G. Enjalbert

Laboratoire d'Électrotechnique (UA CNRS 355)

École Nationale Supérieure d'Ingénieurs Électriciens de Grenoble

B.P. 46 - 38402 SAINT MARTIN D'HERES

La Laboratoire d'Électronique de Grenoble a développé un logiciel de Conception Assistée par Ordinateur appliqué à l'Électronique de Puissance. Ce logiciel très structuré est fortement interactif et très facile à utiliser. Il a été appelé "CIRCUIT".

I. Description Générale

CIRCUIT a été créé afin de favoriser l'utilisation de logiciels de simulation en Électronique de Puissance. Il a permis au Laboratoire de développer encore plus la communication homme-machine et la Conception Assistée par Ordinateur, en particulier sur les micro-ordinateurs. Nous avons alors pu nous rendre compte qu'aujourd'hui les micro-ordinateurs sont suffisamment performants pour supporter des applications de CAO et de simulation.

CIRCUIT est organisé autour de trois modules :

- Le module Entrée qui permet une description interactive, sous contrôle graphique, d'un circuit électrique complet (composants, connexions entre composants, caractéristiques des composants, ...)
- Le module Simulation qui cherche la topologie du circuit à partir des informations provenant du module Entrée puis réalise la simulation électrique proprement dite (évolution des courants et des tensions).
- Le module Exploitation qui permet une visualisation graphique des tensions et courants du circuit de manière entièrement interactive.

L'utilisation classique du programme, dans une phase de conception, est la suivante :

Entrée → Simulation → Exploitation

Si le résultat n'est pas satisfaisant on revient à Entrée pour apporter les modifications nécessaires puis Simulation... (la figure 1 décrit l'architecture du programme et l'annexe : "Commandes" fournit la listes des commandes proposées à l'utilisateur).

Si le résultat n'est pas satisfaisant on revient à Entrée pour apporter les modifications nécessaires puis Simulation... (la figure 1 décrit l'architecture du programme et l'annexe : "Commandes" fournit la liste des commandes proposées à l'utilisateur).

II. Le module Simulation

Ce programme peut être décomposé en trois parties :

- la mise en équation automatique du circuit,
- l'intégration numérique des équations,
- la détection et le changement d'état des semi-conducteurs

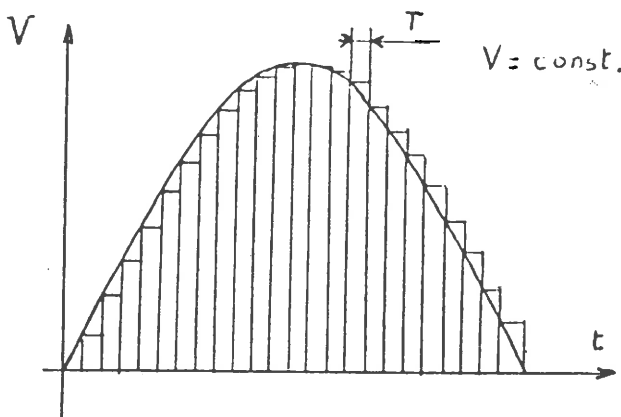
La première partie décrit le fonctionnement du circuit, sous forme de variables d'état, pour obtenir les équations d'état :

$$X = AX + BU$$

$$Y = CX + DU$$

où X est le vecteur d'état, U le vecteur d'entrée et Y le vecteur de sortie. Les matrices A, B, C et D sont calculées à partir des caractéristiques et de l'état des composants du circuit.

La deuxième partie résout les équations d'état. Pour ce faire, les périodes de fonctionnement sont découpées en petits intervalles (environ 1/200^e de période). On peut alors considérer chaque élément comme constant sur un pas de calcul. Ceci



est exact pour une résistance, une capacité ou une inductance, mais les sources de tension variable doivent être décomposées en une succession de tensions constantes.

Avec ces hypothèses, les matrices A, B, C et D sont constantes sur un pas et la solution des équations d'état est alors :

$$X(k+1) = e^{AT}.X(k) + A^{-1}.(e^{AT}-1).B.U(k) \text{ où } T \text{ est le pas de temps}$$

La troisième partie ne pose pas de problème particulier, car les instants de commande des thyristors sont bien connus, il n'y a qu'à vérifier si la tension à leurs bornes est dans le bon sens. A chaque pas de calcul la tension aux bornes des semi-conducteurs est vérifiée et si cela est nécessaire, l'état du composant est modifié (bloqué ou passant).

III. Mise en œuvre du logiciel

Le développement du logiciel "CIRCUIT" a été réalisé autour d'un noyau existant, le programme SACSO, version 1976, réalisé au LEEI (Laboratoire d'Électronique, d'Électrotechnique et d'Informatique) de Toulouse (réf 1 et 2).

Partant de la description physique et topologique du circuit étudié, "SACSO" construit les équations d'état, puis les résout pas à pas en prenant en compte la commutation des semi-conducteurs ;

Cette partie de 1500 lignes est le module SIMULATION de l'ensemble du programme CIRCUIT qui comporte aujourd'hui près de 4 000 lignes de FORTRAN 77. L'interaction et le graphique ont été rendus possibles grâce à un ensemble d'outils puissants résidant dans la bibliothèque de communication homme-machine, réalisée au LEG (Laboratoire d'Électronique de Grenoble) (réf 8).

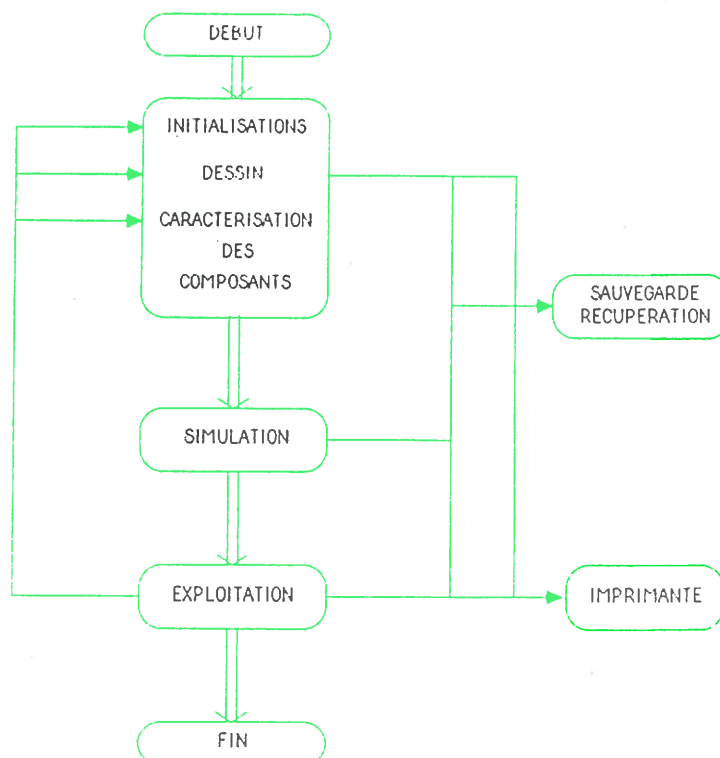


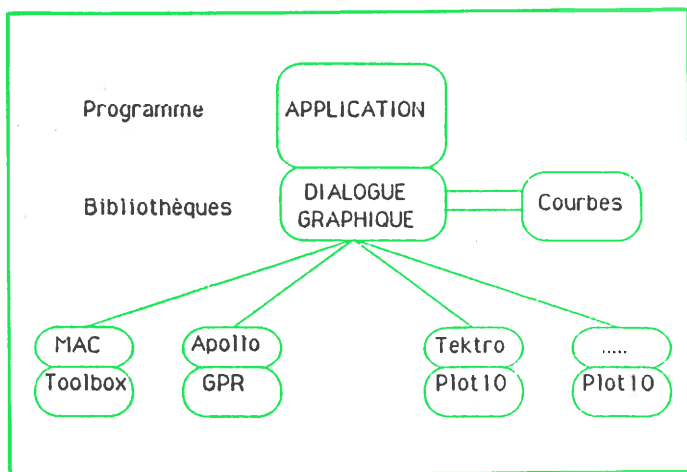
FIGURE 1

L'utilisation d'une programmation structurée et d'un langage standard permet une grande transportabilité du programme. Il est déjà implanté sur des ordinateurs tels que MATRA-DATASYSTEME 560, APOLLO DN420 et micro-ordinateur Apple-Mac Intosh 512K.

La configuration d'une station de travail est typiquement :

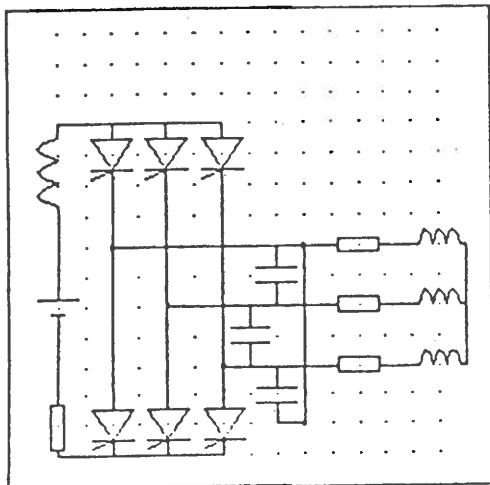
- un clavier pour les entrées alphanumériques
- un écran alphanumérique
- un affichage graphique
- une entrée graphique (tablette, crayon, souris, ...)
- une imprimante graphique

Le logiciel, pouvant être transporté, est structuré en plusieurs niveaux, chacun d'eau n'effectuant qu'une seule tâche. Le niveau le plus élevé est l'application principale qui réalise l'architecture et les calculs du programme. Au niveau immédiatement inférieur se situe le dialogue et le graphique ; cette partie est structurée en bibliothèque FORTRAN qui contient un grand nombre de sous-programmes tels que LIRE-MOT, LIRE-ENTIER, OUVRIR-FICHER, ... proposant des valeurs par défaut, vérifiant l'appartenance de la donnée à un domaine (borne minimale, borne maximale). Cette partie alphanumérique a été écrite afin d'être valable pour tous les ordinateurs ; par contre, les fonctions graphiques sont dépendantes du calculateur et doivent être adaptées. En début de programme l'utilisateur va sélectionner parmi un ensemble de choix le type de terminal qu'il utilise, automatiquement le code enverra les bons caractères ASCII à l'écran par des commandes générales telles que : EFFACER, ECRAN, INITIALISATION ECRAN, ... Pour introduire un nouveau type de terminal il suffit d'écrire le driver correspondant et d'ajouter ce type de terminal à la liste précédente. Cette organisation est présentée dans la figure suivante.



Communication homme-machine

Deux types de menus sont utilisables. Le premier est un menu simple qui apparaît sur l'écran, quand il est validé, pour offrir un certain choix à l'utilisateur. Le second est un ensemble de mots-clés ; ils sont mis dans une pile également affichée sur l'écran et ont un niveau qui est en fait celui dans la pile. Quand ils sont validés des séquences du programme peuvent être sautées pour accéder directement aux parties correspondantes. Ils sont également utilisés pour réaliser un "historique" qui correspond en fait à l'affichage de la progression dans le menu hiérarchisé. Si on pointe sur un niveau dans l'historique on se retrouve directement au menu correspondant.



Exemple d'historique

```
COPIER
RETRACER
AGRANDIR
RECADRER
?????
>COMMANDE<

SAUVEGARDER
RESTAURER
DECRIRE
SIMULER
EXPLOITER
EFFACER
TRACEUR
ARRÊT
```

```
COPIER
RETRACER
AGRANDIR
RECADRER
?????
>COMMANDE<
>DECRIRE<

UTILITAIRE
AJOUTER
COMPOSANT
CIRCUIT
EFFACER
SUPPRIMER
```

```
COPIER
RETRACER
AGRANDIR
RECADRER
?????
>COMMANDE<
>DECRIRE<
>AJOUTER<

CONNEXION
BORNE
RESISTANCE
INDUCTANCE
CAPACITE
DIODE
THYRISTOR
SOURCE CONT.
SOURCE ALT.
```

Création de l'historique

Tous les menus peuvent être pointés sur l'écran en utilisant la souris, mais si on appuie sur la barre d'espace ou la touche Retour, le clavier reprend le contrôle du programme et on doit alors taper un des choix proposés. En utilisant correctement la souris, le clavier n'est utilisé que pour fournir des valeurs numériques au programme.

IV. Utilisation dans notre École

Le logiciel CIRCUIT est utilisé dans trois domaines distincts :

a) Simulation en Électronique de Puissance

C'est l'utilisation principale de ce programme. Cela consiste pour les étudiants à simuler le fonctionnement de convertisseurs statiques dont ils ont étudié le fonctionnement pratique en Travaux Pratiques.

Typiquement ils passent quatre heures sur la partie pratique et théorique et deux heures sur la partie simulation (voir annexe Travaux Pratiques). De plus, les chercheurs peuvent être aidés dans leur travail par des simulations utilisant "CIRCUIT".

b) CAO en Électronique de puissance

"CIRCUIT" est une bonne introduction aux techniques de la CAO, mais c'est aussi un support intéressant pour les étudiants qui apprennent à développer des ensembles de CAO. En effet ce logiciel a été spécifié et développé par des étudiants.

c) Recherche et développement en modélisation

Nous envisageons d'accroître les possibilités de simulation en utilisant de nouveaux modèles numériques, de nouveaux composants (GTO, Transistors, ...) et prenant en compte des charges plus complexes (machines tournantes, charges non linéaires...).

V. Conclusion

Le logiciel "CIRCUIT", très développé du point de vue CAO, permet à un utilisateur non spécialiste en informatique d'avoir accès à de la simulation en Électronique de Puissance. De plus, l'évolution technique croissante au niveau des micro-ordinateurs permet d'envisager l'utilisation d'un tel logiciel sur le bureau de chaque ingénieur.

ANNEXE 1 : COMMANDES

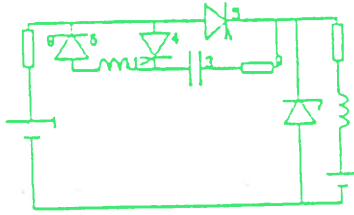
- Sélection du type de terminal
- Sélection de la grille de dessin : lignes et colonnes
- Menu 1 :
 - . Sauvegarder : nom du circuit à sauvegarder puis Menu 1
 - . Restaurer : nom du circuit à récupérer puis Menu 1
 - . Décrire : Menu 2
 - . Simuler : exécute une simulation puis Menu 1
 - . Exploiter : affiche les résultats sous forme graphique
 - . Effacer : n'oubliez pas de sauvegarder !!
voulez-vous vraiment effacer ?
 - . Traceur : sélection du type de terminal
 - . Arrêt : n'oubliez pas de sauvegarder !!
voulez-vous vraiment arrêter ?
- Menu 2 : Utilitaires : options de tracés
 - . Ajouter : Menu 3
 - . Déplacer : Menu 3
 - . Supprimer : Menu 3
 - . Composant : fournir les caractéristiques d'un composant
 - . Circuit : fournir les caractéristiques du circuit
- Menu 3 : Connexion
 - . Borne
 - . Résistance
 - . Inductance
 - . Capacité
 - . Diode
 - . Thyristor
 - . Source cont.
 - . Source alt.

ANNEXE 2 : TRAVAUX PRATIQUES

Nous présentons dans cette annexe une partie de travaux pratiques des élèves de durée 2 heures environ.

Travaux proposé : étude d'un hacheur et d'un onduleur

a) dessiner le circuit proposé

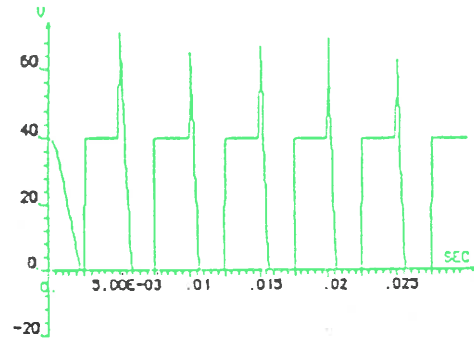


b) caractériser le circuit

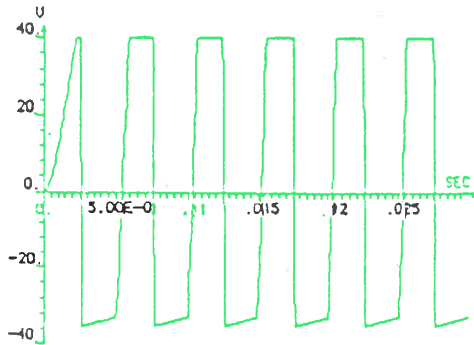
c) simuler

d) exploiter les résultats (tensions, courants)

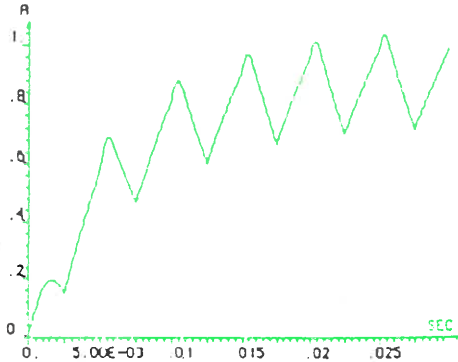
e) étudier la limite de conduction continue en modifiant la valeur de certains



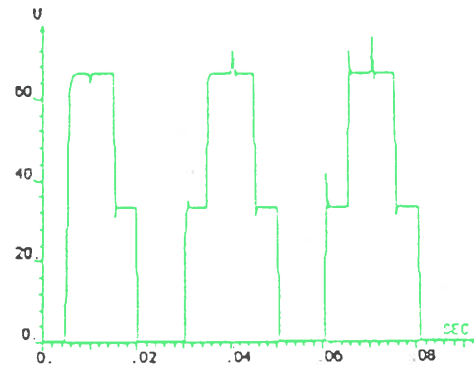
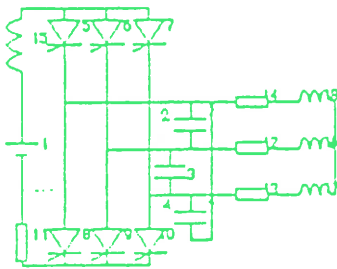
TENSION (U) DANS LA CHARGE



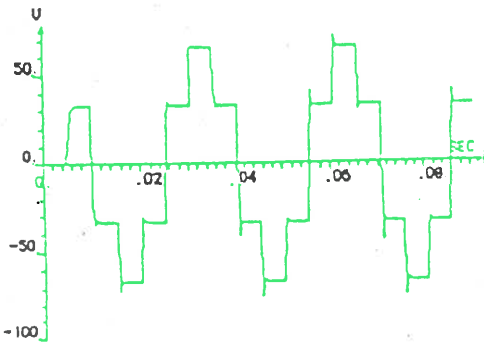
TENSION (U) CAPACITÉ 3



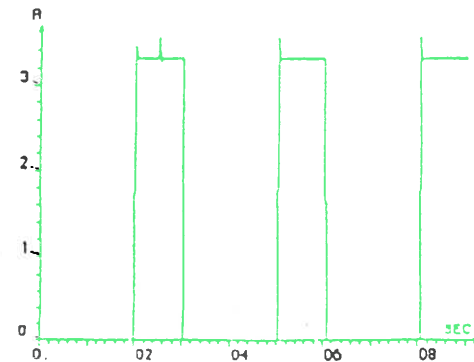
COURANT (A) DANS LA CHARGE



TENSION (U) COMPOSANT : 7



TENSION (U) CAPACITÉ 2



COURANT (A) COMPOSANT : 7

L'électronique de puissance est une matière difficile à enseigner car la théorie est souvent délicate et les manipulations onéreuses. C'est pourquoi le logiciel de CAO appliqué à l'Électronique de puissance, CIRCUIT, a vivement intéressé les I.U.T. et les écoles d'ingénieurs.

Ce logiciel tourne dans les environnements micro-ordinateur de type PC XT ou AT, mini-ordinateur ou station de travail (APOLLO par exemple).

Il est déjà installé dans les établissements de Grenoble et de Nantes.

E. SABONNADIÈRE



Journées Electrotechnique 89

CAO et Simulation en GENIE ELECTRIQUE



GRENOBLE 1, 2, 3 Mars 1989

Société des Electriciens et des Electroniciens
CLUB des enseignants d'Electronique, d'Electrotechnique, d'Automatique
ENS d'Ingénieurs Electriciens de Grenoble Laboratoire d'Electrotechnique (LEG)

APPEL A PARTICIPATION

Les participants étant d'origines diverses, vous pouvez contribuer par :

- la présentation d'outils ou de matériel de pointe (Recherche-industrie), ou
- la présentation d'idées ou de réalisations purement pédagogiques (Un vif encouragement est transmis aux professeurs de TS et d'I.U.T. afin qu'ils puissent présenter leur savoir faire, quelqu'en soit le niveau scientifique, à leurs collègues dont nous attendons, ainsi que les années précédentes une importante contribution).

Les présentations se feront sous trois formes différentes :

- EXPOSÉS ORAUX en amphithéâtre (Programme déjà élaboré)
- Présentation de POSTERS et PANNEAUX DIDACTIQUES
- DÉMONSTRATIONS de LOGICIELS sur stands

EXPOSÉS ORAUX

Nous essayons d'obtenir un télécran afin que des démonstrations de logiciels puissent être faites devant l'ensemble des participants.

POSTERS, PANNEAUX DIDACTIQUES, DÉMONSTRATIONS de LOGICIELS

L'inscription, soit aux Journées EEA (universitaires), soit à la Journée SEE (pour les industriels) donne droit sans aucun supplément à présenter les divers travaux et logiciels pendant les trois journées. Cependant les organisateurs des journées se réservent le droit, en fonction de la place disponible de refuser les derniers inscrits, si besoin était.

- Des panneaux, tables et prises de courant seront mis à disposition.
- Pour les démonstrations de logiciels il est demandé aux personnes intéressées d'apporter le matériel informatique.

Cependant, en fonction du nombre et de la nature des demandes, le prêt de micros pourrait être réalisé sur place. Répercussion du prix serait faite sur les demandeurs. Pour les universitaires une aide financière pourrait être apportée par les organisateurs.

INSCRIPTION

- Aux deux journées à caractère pédagogique (Club EEA) les Mercredi 1er et Jeudi 2 mars.
- A la journée orientée industrie-recherche (SEE) le Vendredi 3 mars.

L'inscription est ouverte soit à l'une, soit à l'autre de ces journées, à toute personne intéressée.

OBJECTIFS - THÈMES

L'objectif de ces trois journées est de présenter les outils et réalisations récents dans les domaines de la CAO et de la simulation appliquées à l'électrotechniques. Ces trois journées, conçues dans un esprit d'ensemble se veulent complémentaires, les deux premières insistant sur les aspects didactiques et pédagogiques, la troisième à objectifs scientifiques et industriels.

Les thèmes suivants ont été sélectionnés :

- Calcul des champs : 2D, 3D, Éléments finis, ...
- Problèmes de champs couplés : Electrostatiques, Électromagnétiques, thermiques, Mécaniques
- Appareillages et Machines électriques
- Composants électroniques et Composants électronique de puissance
- Simulation de convertisseurs statiques
- Électrothermie...

BULLETIN D'INSCRIPTION (à renvoyer au secrétariat des journées)

NOM Membre du club EEA [] Membre de la SEE []
Prénom Universitaire (Prof, tech.) []
Téléphone Si oui : Laboratoire, école
Industriel
Si oui : Compagnie

Adresse :

Les frais d'inscription comprennent l'accès aux manifestations, les textes des communications disponibles, et les déjeuners.

Table with 3 columns: Participation type, Professeurs de TS, and Industriels. Rows include EEA and SEE, EEA only, and SEE only.

- Réduction de 50 F pour les membres du CLUB EEA aux journées EEA
- Réduction de 150 F pour les membres de la SEE à la journée SEE
- Supplément de 100 F si paiement par bon ou facture ou après votre arrivée aux journées

Form for calculating the sum of fees, including fields for 'Somme provisoire due' and 'TOTAL'.

Réduction de 10 % si paiement par chèque avant le 1er février

Chèque unique à l'ordre de la SEE, à joindre à l'inscription

TOTAL DU :

Industriels : Désirez-vous recevoir une demande de convention de formation professionnelle OUI [] NON []
Pour les posters et Démonstrations de vos logiciels, remplir les cases ci-dessous et joindre de 1/2 à 1 page Maxi précisant le titre, le thème et quelques lignes développant l'idée. Veuillez, le cas échéant indiquer le type de matériel informatique que vous ne pourriez apporter, mais dont vous souhaiteriez pouvoir disposer.

Je souhaite présenter un article à la journée SEE [] Je pense présenter l'idée de mes travaux (Poster...) [] Je voudrai présenter des logiciels []
(Joindre 1/2 page avec thème et résumé)

J'amènerai le matériel informatique [] Je ne pourrai pas amener de matériel []

Description précise du matériel souhaité



Contacteur REYNE Gilbert
Secrétariat des journées EEA_SEE 89, Laboratoire d'Electrotechnique de Grenoble
E.N.S.I.E.G. Domaine universitaire BP 46, 38402 Saint Martin d'Hères cedex
Téléphone 76 82 63 00 Télécopieur 76 82 63 01

SENSIBILISATION A LA QUALITÉ

(GE & II - Montluçon)

1. LE CADRE

Département G.E. & I.I. en T.R. 1^{re} année

2. LE BUT

Sensibiliser les étudiants à l'esprit qualité tel qu'il se développe dans les entreprises et conformément au programme de la C.P.N.

3. LES MOYENS

- 2 heures de conférence à toute la promotion "les enjeux de la Qualité" par M. Viollon - Qualiticien dans l'industrie.
- 3 heures de Travaux Pratiques par groupes de 8 étudiants réunis en cercles de Qualité.

4. LE SUJET

Il est décidé par l'enseignant d'améliorer la qualité d'un exercice fait en T.R. : "une alimentation symétrique 2 x 12 V".

4.1 RECHERCHE DES CRITÈRES DE NON QUALITÉ

Ce petit montage est noté par les enseignants de T.R. sur 4 critères :

- dessin du C.I.
- placement des composants
- soudures
- fonctionnement

à partir de la moyenne des notes de la promotion sur chacun de ces points, nous avons calculé un nombre représentant l'importance des défauts.

20 - Moyenne/20 = Nombre de défauts

ce qui a donné :

- dessin du C.I.	11,8
- placement des composants	10,7
- soudures	9,8
- fonctionnement	4,5

- les strapes
- présentation du tracé des bandes.

- On étudiera donc toutes les causes de défaut depuis le dessin du CI jusqu'à l'étamage perçage du CI.

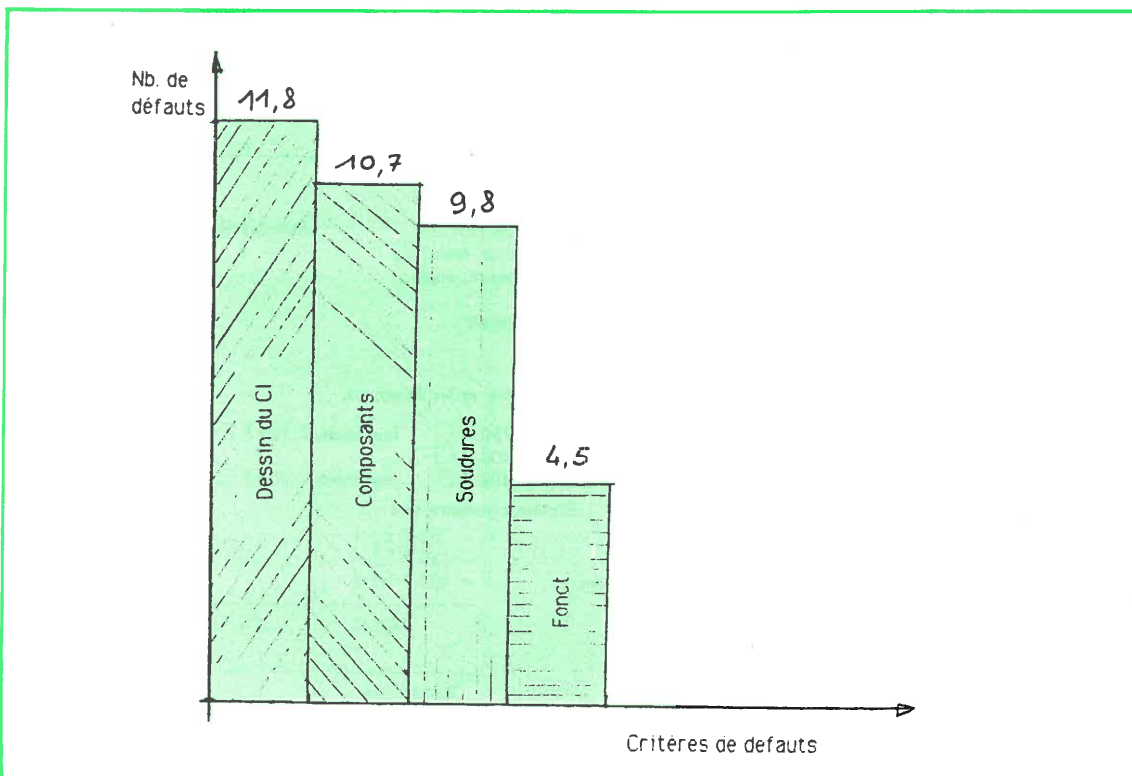
4.2 RECHERCHE DES CAUSES DE DÉFAUT

Un "brainstorming" permettra de trouver dans le désordre mais rapidement un grand nombre de causes de défaut (en général 30 par groupe).

Ces idées sont notées dans l'ordre où les participants les expriment et numérotées.

- 1 - Machine à graver
- 2 - Manque de choix des transferts
- 3 - Pourquoi double face ?
- 4 - Pourquoi gravure en positif ?
- 5 - Difficulté de concentration
- 6 - Fer à souder
- 7 - Étain
- 8 - Problème étamage
- 9 - Précision des résistances
- 10 - Choix des dimensions
- 11 - Largeur des bandes
- 12 - Choix du calque comme support de typon
- 13 - Décalage des 2 faces du calque
- 14 - Mauvais vide (machines à insoler)
- 15 - Manque de précision (dimension des composants)
- 16 - Précipitation
- 17 - Manque (Révélateur, acétone)
- 18 - Qualité des plaques
- 19 - Qualité des révélateurs
- 20 - Manque de contrôle mutuel (circuits)

Construction du diagramme de Pareto



Conclusion du diagramme de Pareto

On ne va traiter qu'un problème et ce sera le dessin du CI.

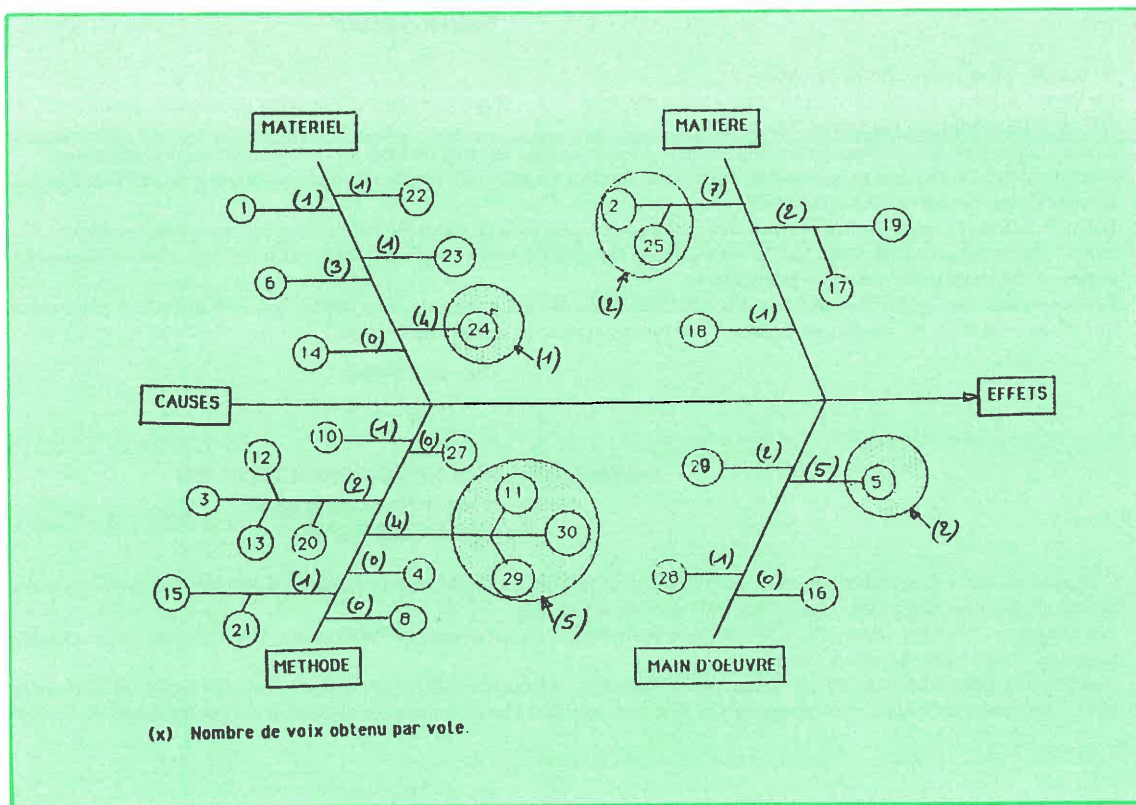
A ce stade il est nécessaire de bien définir ce qui sera l'objet de l'étude.

- Quels sont les critères qui ont été pris en compte pour noter le dessin du CI et mesurer 11,8 défauts ?
 - bandes touchant la visserie
 - bandes et pastilles trop rapprochées
 - obligation de recharger les bandes à l'étain pour masquer les microcoupures

- 21 - Manque de précision du cahier des charges
- 22 - Surcharge de certains postes de travail
- 23 - Poste de travail pour l'élaboration du CI
- 24 - Pastilles décollées au perçage
- 25 - Meilleur repérage des bornes
- 26 - Méthode de tracé des circuits sur plaque
- 27 - Apprentissage technique
- 28 - Problème de largeur constante pour les bandes
- 29 - Meilleures liaisons entre 2 pastilles
- 30 - Technique des bandes

4.3 CLASSEMENT DES CAUSES DE DÉFAUTS

Selon la règle des 4 M à l'aide d'un diagramme causes-effets ou diagramme Ishikawa.



Ce diagramme permet de classer les idées émises et quelquefois de préciser certains points.

4.4 DÉTERMINATION DE LA CAUSE ESSENTIELLE DE DÉFAUT

Pour déterminer la cause essentielle de défaut nous procédons par vote successifs au sein d'un des M puis après sur les 4 M entre eux. On trouve ainsi une cause essentielle de défaut. Dans notre exemple elle se situe au niveau de la méthode (30 - 29 - 11) - Techniques des bandes.

4.5 Il reste à étudier les remèdes pour faire disparaître ce défaut et établir la procédure de contrôle permettant d'évaluer l'amélioration apportée.

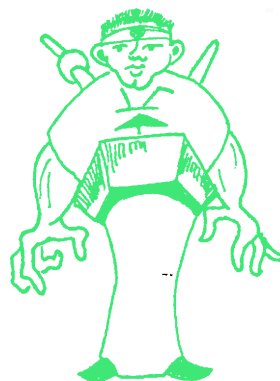
Ce dernier point n'a pas été abordé cette année par manque de temps.

5. - REMARQUE ET RÉFLEXIONS SUR CETTE EXPÉRIENCE

- C'est une première expérience bien incomplète.
- Ce C.Q. a un double objectif :
 - pratiquer la Qualité en T.R.
 - enseigner les concepts de la Qualité à l'occasion de leur mise en pratique. L'enseignant doit être alternativement enseignant et conciliateur.
- Pour cette deuxième fonction qui est nouvelle pour beaucoup d'enseignants, il est souhaitable d'être formé aux Techniques de groupes.
- Les étudiants sont intéressés et s'inquiètent des retombées de leur conclusions, il est important de ne pas les décourager et de donner une suite.
- Lorsque le groupe fonctionne bien, il peut remettre en cause l'activité pédagogique des enseignants, il faut être prêt à l'assumer.
- Le concept Qualité, la gestion de la Qualité et tous les outils qui s'y rapportent peuvent être enseignés sous forme d'un cours.

Faire comprendre l'esprit Qualité (ou la démarche qualité) dans une dimension de rapports humains est certainement la tâche la plus difficile et elle ne peut se faire que sur le terrain par une pratique quotidienne.

- Cette pratique de la Qualité en I.U.T. comme dans les entreprises, ne peut être le fait d'une personne, mais de tous les personnels. On vérifie donc que la qualité est une démarche pluridisciplinaire et partenariale.



Le Grand Thyristor

Deux nouveaux ouvrages

EXERCICES CORRIGÉS DE MATHÉMATIQUES D.U.T. & B.T.S. Pierre Variot

Ni magie, ni cuisine ; de la méthode !

Ce livre s'adresse particulièrement aux étudiants de D.U.T. (génie électrique, mesures physiques, génie civil, maintenance industrielle) et de B.T.S. (électronique, électrotechnique).

Chaque chapitre est composé de trois parties : les énoncés, les indications et commentaires, les solutions.

Les énoncés : On trouvera plus de 370 exercices. Ils sont en général classés par ordre croissant de difficulté et les premiers exercices de chaque chapitre sont souvent très simples.

Les indications et commentaires : Les indications sont destinées à aider l'étudiant qui (après quelques essais) n'arrive pas à commencer l'exercice... Pour certains chapitres ils trouveront des rappels de méthodes à utiliser, mais il s'agit d'une énumération et non de vrais rappels de cours. A ne manipuler qu'avec précaution.

Les solutions : pour chaque exercice une solution détaillée est proposée. Les petites astuces qui n'ont pas valeur d'exemple ont été systématiquement écartées. Ni magie, ni cuisine... A ne consulter qu'après résolution.

Ed. ELLIPSES

PHYSIQUE DES SEMI-CONDUCTEURS cours et exercices corrigés Bernard GREHANT

Composé de deux fascicules (cours et exercices corrigés) cet ouvrage sur la physique des semi-conducteurs traite d'une manière simple et très pédagogique une discipline jugée "Ardue" par les étudiants.

Les chapitres relatifs à la jonction PN, au transistor bipolaire, au transistor MOS sont complétés par des exemples qui expliquent le fonctionnement du composant dans un circuit.

Des travaux pratiques sont décrits pour concrétiser les notions abordées par l'auteur. Un index alphabétique détaillé regroupe les termes utilisés et renvoie aux pages correspondantes. Un ouvrage qui sera très apprécié dans les départements G.E. & I.I.

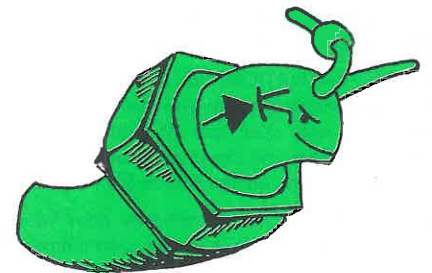
Roger SAGE

Ed. EYROLLES



L'EUROPE TECHNOLOGIQUE

vue par Herbé



Thyristor de Bourgogne



Thyristor de rire